

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11053900

(43)Date of publication of application: 26.02.1999

(51)Int.Cl.

G11C 29/00
G01R 31/28
G01R 31/3185
G06F 11/22(21)Application number: 09220973
(22)Date of filing: 31.07.1997(71)Applicant:
(72)Inventor:NEC CORP
TAMAOKI SATOSHI

(54) SEMICONDUCTOR MEMORY

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connecter/guest/DBPquery/ENGDB/wdispaj>

00/07/18

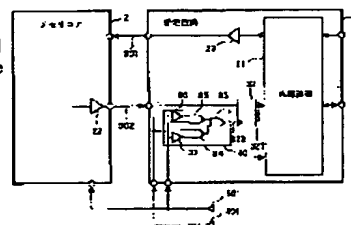
Searching PAJ

2/3 ページ

(57)Abstract:

PROBLEM TO BE SOLVED: To accurately measure a delay time from a memory core to a logic circuit by inputting memory output data latched by a latched circuit, comparing the data with an expected value, and deciding pass/fail, thereby reducing dissipation power of the core.

SOLUTION: A memory core 2 is connected to a memory control signal and data signal line group 301, and controlled by reading and writing operations from a logic circuit 3. The circuit 3 is connected via the core 2 and a buffer 23 to control the core 2 to connect the core 2 to a memory output data signal line group 302 via a latch 32 and inputs read data from the core 2. A buffer size is reduced to optimize a cycle time of a clock signal line 501 at the time of normally operating a delay time of the group 302. And, a signal delay time is measured without raising an operating frequency of an internal logic circuit 31 and the core 2.



LEGAL STATUS

[Date of request for examination]

31.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

<http://www2.ipdl.jpo-miti.go.jp/dbpweb/connecter/guest/DBPquery/ENGDB/wdispaj>

00/07/18

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-53900

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.⁶
G 1 1 C 29/00
G 0 1 R 31/28
31/3185
G 0 6 F 11/22

識別記号
6 7 5
3 1 0

F I
G 1 1 C 29/00
G 0 6 F 11/22
G 0 1 R 31/28
6 7 5 L
3 1 0 T
B
W

審査請求 有 請求項の数 4 F D (全 8 頁)

(21)出願番号 特願平9-220973
(22)出願日 平成9年(1997) 7月31日

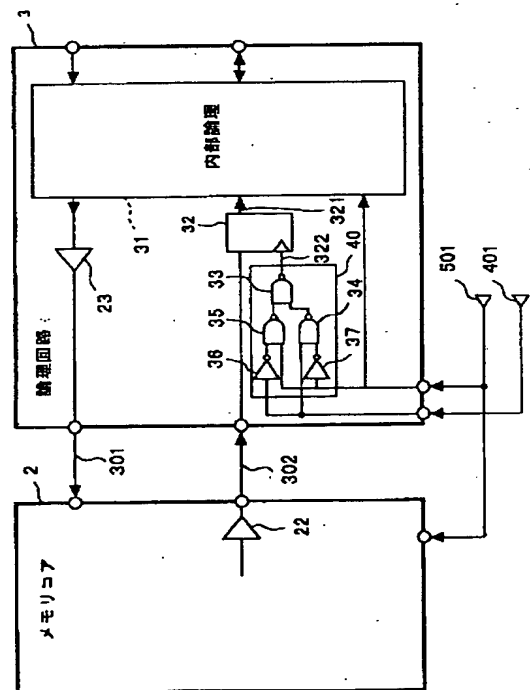
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 玉置 智
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】メモリアから論理回路への遅延時間（メモリアのアクセス時間）を正確に計測可能とする半導体記憶装置の提供。

【解決手段】クロック信号の立ち上りエッジに同期して動作するメモリアと論理回路に於いて、メモリアからの出力データ信号のラッチ動作を、テストモード時以外には、クロック信号と同相信号でラッチし、テストモード時にはクロック信号の逆相信号でラッチする事によって、クロック信号のHigh幅Low幅を変化させてクロック周波数を上げる事なく、アクセス時間が計測できるテスト回路を備える。



【特許請求の範囲】

【請求項 1】メモリコアと論理回路とを含む半導体記憶装置において、

前記論理回路が、テストモード信号がアクティブの時、入力したクロック信号の逆相信号を出力し、前記テストモード信号がインアクティブの時、入力したクロック信号の同相信号を出力するクロック信号制御回路と、前記クロック信号の同相信号または逆相信号のエッジに同期して、前記メモリコアからのメモリ出力データ信号をラッチするラッチ回路と、

を含み、
前記ラッチ回路でラッチされた前記メモリ出力データを
入力し、前記データを期待値と比較しパス／フェイルを
判定するか、もしくは前記データを出力端子からに出力
する、ことを特徴とする半導体記憶装置。

【請求項 2】テストモード時に、前記クロック信号の H i g h 幅または L o w 幅を変化させて、クロック周波数を上げることなく、アクセス時間を計測できるようにしたことを特徴とする半導体記憶装置。

【請求項 3】クロック信号の所定方向の遷移エッジに同期して動作するメモリコアと論理回路とを含む半導体記憶装置において、

前記メモリコアからの出力データ信号をラッチ回路でラッチするにあたり、テストモード時以外には、前記クロック信号と同相信号でラッチし、テストモード時には前記クロック信号の逆相信号でラッチするように切替制御する手段を備え、

テストモード時に、前記クロック信号の H i g h 幅または L o w 幅を変化させて、クロック周波数を上げることなく、アクセス時間を計測できるようにしたことを特徴とする半導体記憶装置。

【請求項 4】クロック信号の所定方向の遷移エッジに同期して動作する複数の論理回路を含む半導体装置において、

第 1 の論理回路からの出力データ信号を第 2 の論理回路でラッチするにあたり、テストモード時以外には、前記クロック信号と同相信号でラッチし、テストモード時には前記クロック信号の逆相信号でラッチするように切替制御する手段を備え、

テストモード時に、前記クロック信号の H i g h 幅または L o w 幅を変化させて、クロック周波数を上げることなく、前記論理回路間の遅延時間を計測できるようにしたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理装置に関し、大規模な論理回路の中に内蔵される半導体記憶装置のテスト回路に関する。

【0002】

【従来の技術】論理回路の中に内蔵される半導体記憶装

置のテスト回路の一般的な構成を図 7 に示す。図 7 を参照すると、半導体記憶装置 1 は、大規模な論理回路 3、メモリコア 2、テストモード判定回路 4、及び、クロックバッファ 5 を含んでいる。図 7 において、11 は制御信号及びデータ信号入力端子、12 は制御信号及びデータ信号出力端子、41 はテストモード信号入力端子、51 はクロック信号入力端子、301 はメモリ制御信号、データ信号線群、302 はメモリ出力データ信号線群、401 はテスト信号線、501 はクロック信号線である。

【0003】図 8 は、図 7 に示したメモリコアのテスト回路の一部を示す図であり、論理回路 3 の構成、及びメモリコア 2 との接続構成を示したものである。図 8 に示すように、メモリコア 2 および論理回路 1 はクロック信号 501 を入力して、その立ち上がりエッジに同期して動作する。

【0004】図 7 及び図 8 を参照すると、メモリコア 2 への書き込みは、論理回路 3 の内部論理 31 により生成されるか、もしくは半導体記憶装置 1 の外部から制御信号及びデータ信号入力端子 11 から直接入力し、バッファ 23 からメモリ制御信号、データ信号線群 301 に書き込みデータが出力され、メモリコア 2 に書き込まれる。

【0005】またメモリコア 2 のバッファ 22 から出力された読み出しデータは、クロック信号 501 の例えば立ち上り信号に同期して、データ信号出力信号線群 302 に出力され、データラッチ 32 でラッチした後、内部論理回路 31 に入力される。

【0006】入力されたデータは内部論理回路 31 で処理され、あるいはデータ出力端子 12 から半導体記憶装置の外部へ出力される。

【0007】このような構成の半導体記憶装置でのメモリコアの試験は、図 6 に示すように、クロック信号線 501 のクロック信号の周波数を上げて、メモリコア 2 への書き込み及び読み出しを行い、内部論理回路 31 でメモリコア 2 の読み出しデータと期待値の比較を行うか、あるいはメモリコア 2 の読み出しデータを半導体記憶装置外部へ出力して、テスト装置等で動作判定 (P a s s / F a i l) を行っている。

【0008】

【発明が解決しようとする課題】しかしながら、上記した従来技術は下記記載の問題点を有している。

【0009】第 1 の問題点は、図 6 にタイミング図で示したような高周波での動作テストは、メモリコア 2 からの読み出しデータが期待値と一致しなかった場合、不具合箇所の特定が困難である、ということである。

【0010】その理由は、高周波動作時の不具合の要因は大きく分けて、

- ①メモリコア 2 内部、
- ②内部論理回路 31、

③メモリコア2と論理回路3間の信号線の遅延、とあり、周波数依存だけでは、これら3つ不具合を判別できない、ためである。

【0011】第2の問題点は、上記第1の問題点において、③を不具合要因から分離するためには、予めバッファ22を大きくして（駆動能力を大とする）、信号遅延を十分に小さくする必要がある、ということである。

【0012】その理由は、メモリコア2のように一つのマクロセルで大電流を消費する場合内部論理回路31のように大きなバッファ23を持つことが、消費電力の点で不可能な場合があるためである。

【0013】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、メモリコアの低消費電力化を図ると共に、メモリコアから論理回路への遅延時間（メモリコアのアクセス時間）を正確に計測可能とする半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体記憶装置は、メモリコアと論理回路とを含む半導体記憶装置において、前記論理回路が、テストモード信号がアクティブの時、入力したクロック信号の逆相信号を出力し、前記テストモード信号がインアクティブの時、入力したクロック信号の同相信号を出力するクロック信号制御回路と、前記クロック信号の同相信号または逆相信号の立ち上りエッジに同期して、メモリコアからのメモリ出力データ信号をラッチするラッチ回路と、を含み、前記ラッチ回路でラッチされたメモリ出力データを入力し、前記データを期待値と比較しパス／フェイルを判定するもしくは前記データを出力端子から出力する、ことを特徴とする。

【0015】【発明の概要】本発明の概要について以下に説明する。本発明は、クロック信号の立ち上がりエッジに同期して動作するメモリコアと論理回路を含む半導体記憶装置において、メモリコア（図1の2）からの出力データ信号のラッチ回路（図1の40）でのラッチ動作を、テストモード時以外には、前記クロック信号と同相信号でラッチし、テストモード時には前記クロック信号の逆相信号でラッチするように切替え制御する手段

（図1の32）を備え、テストモード時に、クロック信号のHigh幅またはLow幅を例えばテスト装置で変化させて、クロック周波数を上げることなく、メモリコアのアクセス時間（図1のメモリデータ信号線302の遅延時間d）を計測できるようにしたものである。

【0016】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0017】図1は、本発明の実施の形態の構成を示す図である。図1を参照すると、本発明の実施の形態は、メモリコア2と、大規模な論理回路3を有した半導体記憶装置1において、一または複数の制御信号及びデータ

信号入力端子11及びデータ出力端子12を有し、データ信号入力端子11及びデータ出力端子12はそれぞれ論理回路3の入力端、及び出力端に接続されており、クロック入力端子51、一または複数のテスト信号入力端子41を有し、クロック入力端子51及びテスト信号入力端子41はそれぞれクロックバッファ5、及びテストモード判定回路4の入力端に接続されている。

【0018】クロック入力端子51よりクロック信号を入力するクロックバッファ5は、クロック信号線501にクロック信号を出力する。テストモード判定回路4はテストモード入力端子41よりテストモード信号を入力してテスト信号線401にテスト信号を出力する。

【0019】メモリコア2や論理回路3は、それぞれクロック信号線501をクロック入力端に接続し、例えばクロック信号501の立ち上りエッジで動作する。

【0020】また、メモリコア2は、メモリ制御信号及びデータ入力信号線群301を入力端に接続し、メモリ出力データ信号線群302を出力端に接続し、メモリコア2への書き込み、読み出し動作を例えばクロックの立ち上りエッジに同期して行い、データの読み出し、及び書き込みは論理回路3によって制御される。

【0021】論理回路3は、クロック信号線501を入力して、例えばクロック信号の立ち上りエッジに同期して動作し、一又は複数の制御信号及びデータ信号入力端子11から、もしくは半導体記憶装置1の外部からデータ及び制御信号を入力し、データ信号出力端子12から半導体記憶装置1の外部へデータや制御信号を出力する。さらに論理回路3は、出力端にメモリ制御信号及びデータ信号入力信号線301を接続し、メモリコア2へ制御信号やデータを出力することによってメモリコア2を制御し、また、メモリ出力データ信号線を入力端に接続し、メモリコア2の読み出しデータを入力する。

【0022】また、論理回路3は、テスト信号401を入力とし、このテスト信号401に基づき入力したクロック信号を逆相にするクロック制御回路40を有し、このクロック制御回路40のクロック出力321は、一又は複数の入力端をメモリ出力データ信号302に接続したデータラッチ32のクロック入力端に接続されている。

【0023】さらに、論理回路3は内部論理回路31を有し、この内部論理回路31はクロック信号線501を入力し、例えばクロック信号の立ち上りエッジで動作し、半導体記憶装置1の制御信号及びデータ信号入力端子11の制御信号及びデータ信号出力端子やメモリコア2のメモリ制御信号、データ信号線301、メモリ出力データ信号302を通して半導体記憶装置1の制御を行う。

【0024】次に、本発明の実施の形態の動作について説明する。テストモード入力端子41よりテストモードが指定されない場合、クロック信号制御回路40は、入

力したクロック信号 5 0 1 と同相のクロック信号 3 2 2 を出力し、ラッチ群 3 2 は、クロック信号 5 0 1 の例えば立ち上りエッジで動作し、半導体記憶装置 1 のメモリコア 2、論理回路 3 のすべてが、クロック信号 5 0 1 の立ち上りエッジで動作する。

【0025】一方、テストモード入力端子 4 1 からテストモードが指定されると、クロック制御回路 4 0 は、入力したクロック信号 5 0 1 の逆相信号 3 2 2 をラッチ群 3 2 のクロック入力端に出力する。これによって、メモリコア 2 からの読み出しデータの取り込みのみを、クロック信号の例えば立ち下りエッジに同期して動作させる。

【0026】これによって、図 5 にタイミング図として示すように、クロック信号の High 幅、Low 幅を調整することによって、メモリコア 2 から論理回路 3 までのスピードを計測することができる。

【0027】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0028】図 2 は、本発明の一実施例の構成を示す図である。図 2 を参照すると、本発明の一実施例は、メモリコア 2、論理回路 3 を有し、それぞれのクロック入力端にクロック信号 5 0 1 を入力して、クロック信号の立ち上りエッジに同期して動作する。

【0029】メモリコア 2 は、メモリ制御信号及びデータ信号線群 3 0 1 と接続され、論理回路 3 から読み出し、及び書き込み動作の制御を受ける。

【0030】さらにメモリコア 2 は、メモリ出力信号線群 3 0 2 に出力端を接続し、読み出しデータを論理回路 3 に出力する。

【0031】論理回路 3 は、メモリコア 2 とメモリ制御信号、データ信号線群とバッファ 2 3 を介して接続し、メモリコア 2 を制御し、ラッチ 3 2 を介してメモリコア 2 とメモリ出力データ信号線群 3 0 2 と接続してメモリコア 2 からの読み出しデータを入力し、さらに制御信号及びデータ信号入力端子 1 1 と制御信号及びデータ信号出力端子 1 2 とを接続することによって、半導体記憶装置 1 外部とデータの授受を行う内部論理回路 3 1 と、メモリ出力データ信号線群 3 0 2 を入力端に接続し、出端を内部論理回路 3 1 に接続した一又は複数のラッチ 3 2 と、NAND ゲート 3 3, 3 4, 3 5、インバータ 3 6, 3 7 からなり、テストモード信号 4 0 1 がアクティブとされると、クロック信号 5 0 1 の逆相のクロック信号 3 2 2 をラッチ 3 2 のクロック入力端に出力し、テストモード信号 4 0 1 がインアクティブの時（テストモードでない時）は、クロック信号 5 0 1 の同相信号 3 2 2 をラッチ 3 2 に出力するクロック信号制御回路 4 0 と、を有している。

【0032】次に本発明の一実施例の動作について図 4 および図 5 を参照して説明する。

【0033】本実施例において、メモリコア 2、論理回路 3 は、テストモードの場合以外は、従来技術と同様に、図 4 に示したように動作する。

【0034】メモリ出力信号線のメモリコア 2 の出力端と論理回路 3 の入力端では、図 4 に示す時間 d の信号遅延が存在する。メモリコア 2 も、論理回路 3 もクロック信号 5 0 1 の立ち上りエッジに同期して動作するので、メモリコア 2 から出力された読み出しデータ 3 0 2 は、クロック信号 5 0 1 の次の立ち上りエッジでラッチ 3 2 でラッチされ、ラッチ回路 3 2 の出力 3 2 1 が内部論理回路 3 1 に送られる。

【0035】また、テスト信号 4 0 1 が High レベルで、テストモードの時は、図 5 に示すように、論理回路 3 にメモリの読み出しデータ 3 0 2 は、クロック信号 5 0 1 の立ち下りエッジに同期して入力されることから、このクロック信号 5 0 1 の High 幅 (tCH)、Low 幅 (tCL) を変化させて、メモリ出力データ信号線 3 0 2 のデータを入力し、読み出しデータとの期待値との比較を内部論理回路 3 1 あるいは半導体記憶装置 1 外部で行うことにより、メモリ出力データ信号線 3 0 2 の遅延時間を計測する。なお、クロック信号 5 0 1 の High 幅、Low 幅は、例えばテスト装置からクロック入力端子 5 1 に供給するクロック信号の High 幅、Low 幅を変化させることで容易に実現される。

【0036】このように、本実施例によれば、バッファサイズ 2 2 を小さくして、メモリデータ出力信号 3 0 2 の遅延時間 d をテストモードでない通常動作時のクロック信号 5 0 1 のサイクル時間 T に最適化した場合、この信号遅延時間 d を、内部論理回路 3 1、メモリコア 2 の動作周波数を上げずに計測することができる。

【0037】次に本発明の第 2 の実施の形態を図 3 を参照して説明する。図 3 を参照すると、本発明の第 2 の実施の形態は、前記第 1 の実施の形態のメモリコア 2 を他の論理回路 6 に書き換えた場合を示している。論理回路 3 の構成は、前記第 1 の実施の形態と同様とされる。

【0038】本発明の第 2 の実施の形態においては、すべての論理回路 3 と 6 間のスピードを動作周波数とは分けて計測することができる。

【0039】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0040】本発明の第 1 の効果は、動作周波数を上げずにメモリ出力データ信号の遅延スピードを計測できる、ということである。

【0041】その理由は次の通りである。すなわち、従来内蔵されたメモリコアの動作スピードはクロック周波数 (Tck) でしか計測できない。本発明においては、テストモード時にクロック信号を反転し、論理回路へのメモリ出力データの取り込みをクロック信号の例えば Low エッジに同期させること、クロック信号の High

幅、Low幅を調整することで、メモリ出力データ信号の遅延スピードを計測できるためである。

【0042】また、本発明の第2の効果として消費電力の増大を抑止することができるということである。その理由は、動作周波数を上げることが不要とされているためである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示す図である。

【図2】本発明の一実施例の構成を示す図である。

【図3】本発明の第2の実施の形態の構成を示す図である。

【図4】本発明の一実施例および従来技術においてテストモードでない通常動作時の動作タイミングを示す図である。

【図5】本発明の一実施例におけるテストモード時の動作タイミングを示す図である。

【図6】従来技術におけるテストモード時の動作タイミングを示す図である。

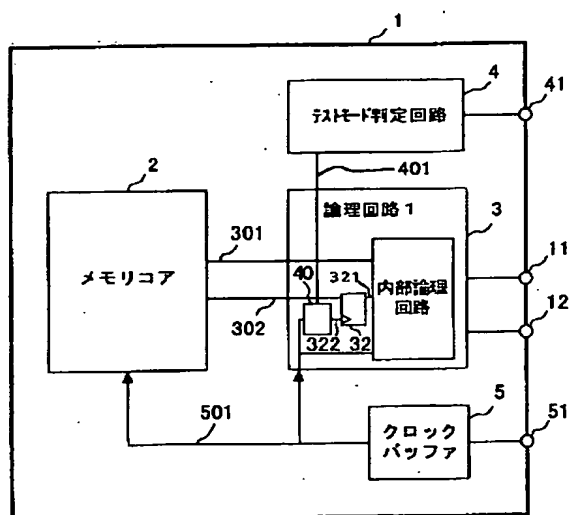
【図7】従来技術の構成を示す図である。

【図8】従来技術の構成の詳細を示す図である。

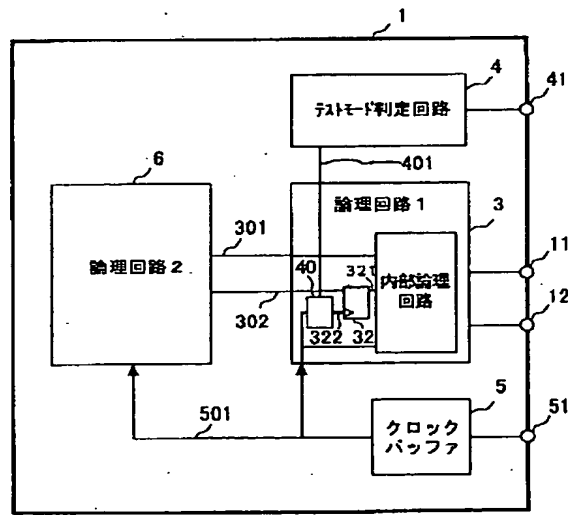
【符号の説明】

- 1 半導体記憶装置
- 2 メモリコア
- 3 論理回路
- 4 テストモード判定回路
- 5 クロックバッファ
- 22 バッファ
- 23 バッファ
- 31 内部論理回路
- 32 ラッチ
- 33, 34, 35 NANDゲート
- 36, 37 インバータ
- 40 クロック制御回路
- 11 制御信号及びデータ信号入力端子
- 12 制御信号及びデータ信号出力端子
- 41 テストモード信号入力端子
- 51 クロック信号入力端子
- 301 メモリ制御信号、データ信号線群
- 302 メモリ出力データ信号線群
- 401 テスト信号線
- 501 クロック信号線
- 321 ラッチデータ出力信号線群

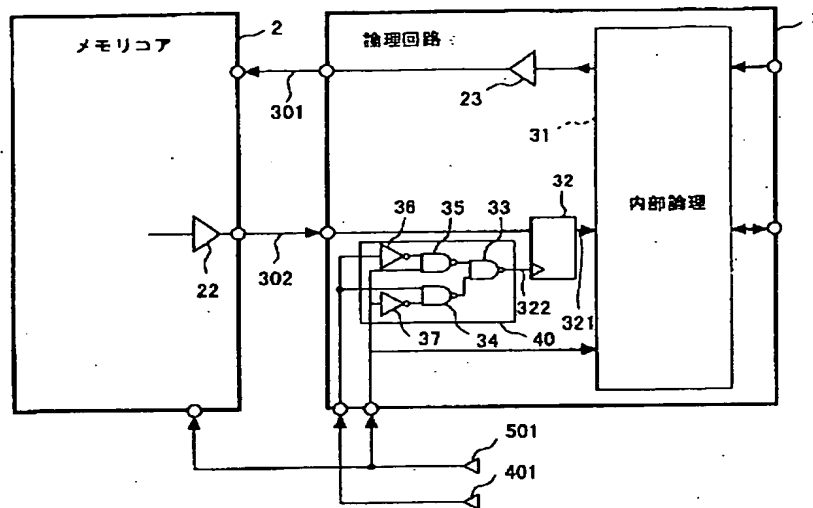
【図1】



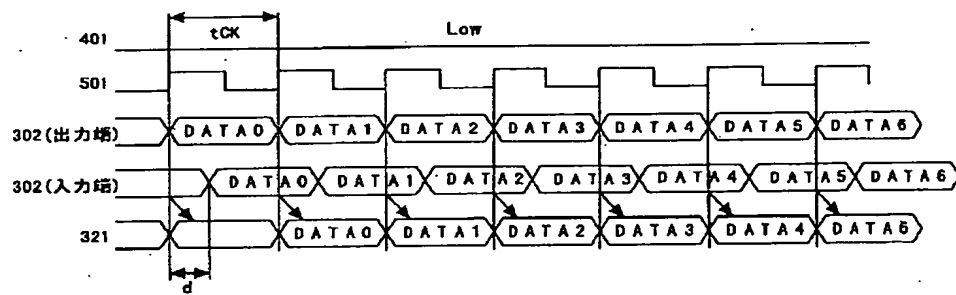
【図3】



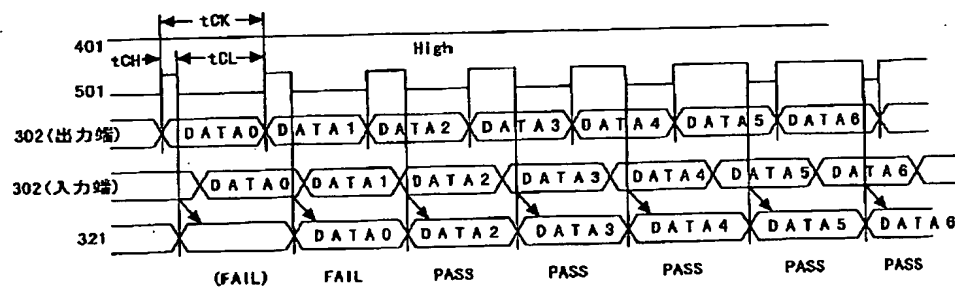
【図 2】



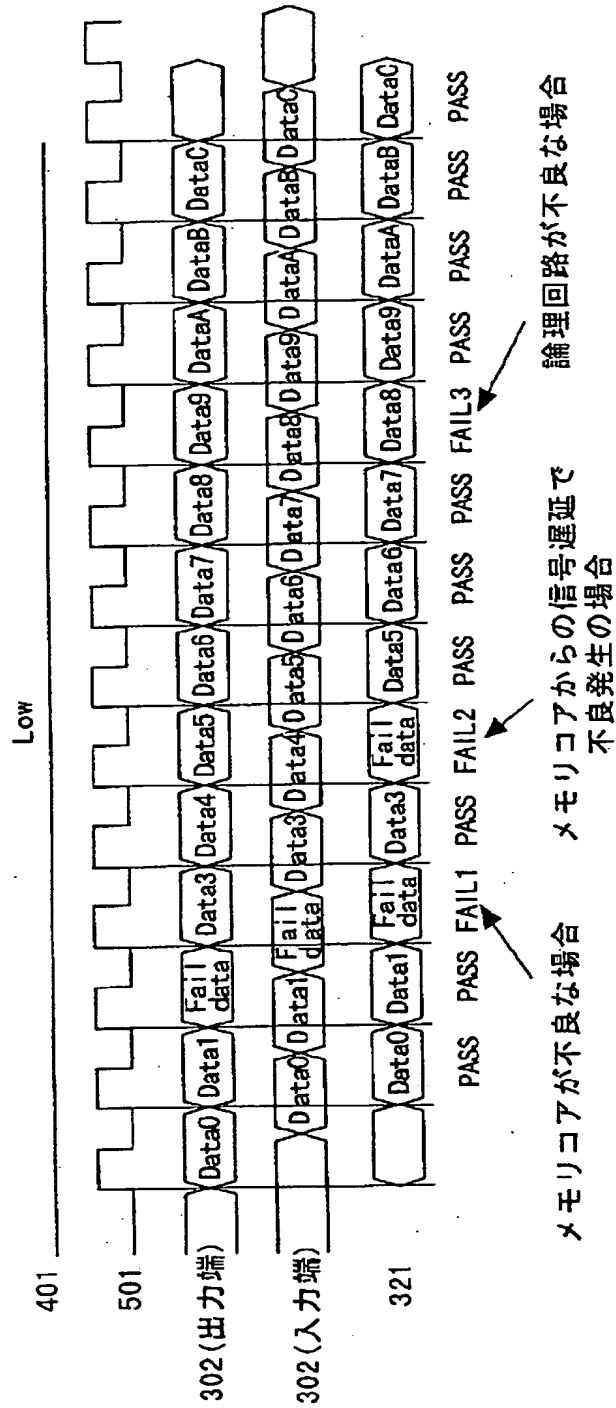
【図 4】



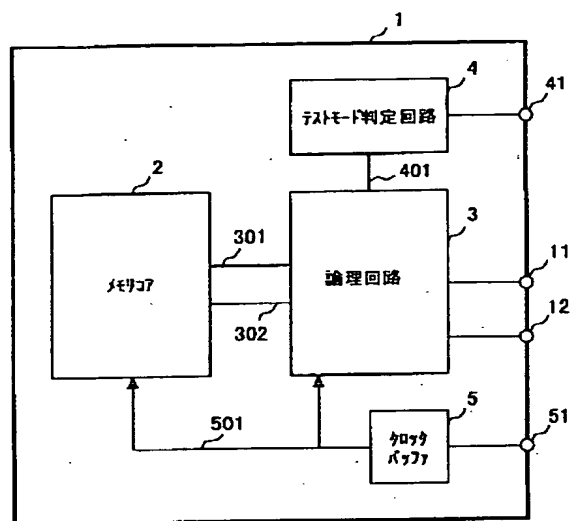
【図 5】



【図 6】



【図 7】



【図 8】

